



Receipt
#5
B1
11-23-01

Attorney Docket No. Q64974
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Hirofumi HONDA, et al.

Appln. No.: 09/883,448

Group Art Unit: 2673

Confirmation No.: 2803

Examiner: Not Yet Assigned

Filed: June 19, 2001

For: DRIVING METHOD OF PLASMA DISPLAY PANEL

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

RECEIVED
NOV 20 2001
Technology Center 2600

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

Darryl Mexic
Registration No. 23,063

SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3213
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Enclosures: Japan 2000-186530

Date: November 7, 2001

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 6月21日

出 願 番 号
Application Number:

特願2000-186530

出 願 人
Applicant(s):

パイオニア株式会社

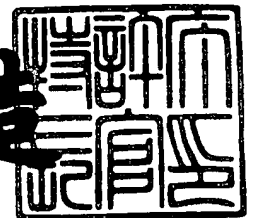
CERTIFIED COPY OF
PRIORITY DOCUMENT

RECEIVED
NOV 20 2001
Technology Center 2600

2001年 2月23日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3010439

【書類名】 特許願

【整理番号】 54P0323

【提出日】 平成12年 6月21日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 プラズマディスプレイパネルの駆動方法

【請求項の数】 3

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 本田 広史

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 長久保 哲朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネルの駆動方法

【特許請求の範囲】

【請求項 1】 画素を担う複数の放電セルがマトリクス状に配列されているプラズマディスプレイパネルを、入力映像信号の 1 フィールドを複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、

前記サブフィールドの各々において、

前記入力映像信号に応じて前記放電セルの各々を発光セルの状態又は非発光セルの状態のいずれか一方の状態に設定し、前記発光セルの状態にある前記放電セルのみを前記サブフィールドの重み付けに応じて割り当てた発光回数だけ発光せしめるにあたり、

互いに隣接する複数の前記放電セルからなる放電セルブロック内の各放電セル毎に、前記サブフィールドの重み付けに応じて割り当てべき前記発光回数を異ならしめたことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記放電セルブロック内の各放電セルに割り当てべき前記発光回数を 1 フィールド毎に変更することを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 画素を担う複数の放電セルがマトリクス状に配列されているプラズマディスプレイパネルを、入力映像信号の 1 フィールドを複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、

前記サブフィールドの各々において、

前記入力映像信号に応じて前記放電セルの各々を発光セルの状態又は非発光セルの状態のいずれか一方の状態に設定する画素データ書込行程と、

前記放電セル各々の内で前記発光セルの状態にあるものだけを前記サブフィールドの重み付けに対応した回数だけ発光せしめる第 1 発光維持行程と、

互いに隣接する 4 つの前記放電セルからなる放電セルブロック内の第 1 位置に配列されている前記放電セルのみを強制的に前記非発光セルの状態にせしめる第

1 選択消去行程と、

前記放電セル各々の内で前記発光セルの状態にあるものだけを所定回数だけ発光せしめる第 2 発光維持行程と、

前記放電セルブロック内の第 2 位置に配列されている前記放電セルのみを強制的に前記非発光セルの状態にせしめる第 2 選択消去行程と、

前記放電セル各々の内で前記発光セルの状態にあるものだけを所定回数だけ発光せしめる第 3 発光維持行程と、

前記放電セルブロック内の第 3 位置に配列されている前記放電セルのみを強制的に前記非発光セルの状態にせしめる第 3 選択消去行程と、

前記放電セル各々の内で前記発光セルの状態にあるものだけを所定回数だけ発光せしめる第 4 発光維持行程と、を順次実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】

本発明は、マトリクス表示方式のプラズマディスプレイパネルの駆動方法に関する。

【 0 0 0 2 】

【従来の技術】

マトリクス表示方式のディスプレイパネルの一つとして A C (交流放電) 型のプラズマディスプレイパネルが知られている。

かかるプラズマディスプレイパネルは、表示ラインを担う複数の行電極と、これら行電極と交差して配列された複数の列電極とを備えている。これら列電極及び行電極は、放電ガスの封入された放電空間を挟んで互いに対向して配置されており、この放電空間を含む各行電極対と列電極との交差部に画素を担う放電セルが形成される構造となっている。放電セルは、放電現象を利用して発光を行うものである為、“発光”及び“非発光”の 2 つの状態のみを取りうる。すなわち、最低輝度(非発光状態)と、最高輝度(発光状態)の 2 階調分の輝度しか表現できないのである。そこで、このような放電セルからなるプラズマディスプレイパネルに対

し、入力された映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を行う。

【 0 0 0 3 】

サブフィールド法を用いた駆動では、1 フィールド(フレーム)の表示期間を複数のサブフィールドに分割する。各サブフィールド内では、放電セルの各々を、入力映像信号に基づく各画素毎の画素データに応じて”発光セル”の状態、又は”非発光セル”の状態のいずれか一方に設定する。そして、各サブフィールド毎に、”発光セル”の状態にある放電セルのみをそのサブフィールドの重み付けに対応した回数(時間)だけ放電(発光を伴う)させる。この際、1 フィールド(フレーム)表示期間内において実施された発光の総数に応じて段階的に各種の中間輝度が視覚されるのである。

【 0 0 0 4 】

現在、プラズマディスプレイパネルを搭載したディスプレイ装置では、上述した如きサブフィールド法を用いた階調駆動に、例えばディザ処理等の多階調化処理を組み合わせることにより階調数の増加を図るようにしている。

かかるディザ処理では、まず、マトリクス状に配列された放電セル各々を、互いに隣接する例えば4つの放電セル同士で1つの放電セルブロックと捉える。そして、各放電セルブロック内の4つの放電セル各々に、夫々異なる値を有する4つのディザ係数を夫々割り当てる。ここで、かかる放電セルブロック内の各放電セルに対応した画素データ各々に、上述した如く割り当てたディザ係数を夫々加算する。そして、その加算結果の上位ビットのみを新たな画素データと捉えて前述した如き階調駆動を行う。かかるディザ処理によれば、上記放電セルブロック内の4つの放電セル各々の発光(又は非発光)状態の組み合わせにより新たな中間輝度が視覚されるようになり、擬似的にその階調数が増加するのである。

【 0 0 0 5 】

しかしながら、このような多階調化方法では、画素データにディザ係数を加算するという処理上、元の画素データの値によっては、隣接する放電セル間での輝度差が大きく変動してしまい、表示品質を低下させる可能性があった。

【 0 0 0 6 】

【発明が解決しようとする課題】

本発明は、上記の問題を解決するためになされたものであり、表示品質を低下させることなくディザ処理を行うことができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明によるプラズマディスプレイパネルの駆動方法は、画素を担う複数の放電セルがマトリクス状に配列されているプラズマディスプレイパネルを、入力映像信号の1フィールドを複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、前記サブフィールドの各々において、前記入力映像信号に応じて前記放電セルの各々を発光セルの状態又は非発光セルの状態のいずれか一方の状態に設定し、前記発光セルの状態にある前記放電セルのみを前記サブフィールドの重み付けに応じて割り当てた発光回数だけ発光せしめるにあたり、互いに隣接する複数の前記放電セルからなる放電セルブロック内の各放電セル毎に、前記サブフィールドの重み付けに応じて割り当てるべき前記発光回数を異ならしめる。

【0008】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図1は、本発明による駆動方法に基づいてプラズマディスプレイパネルを階調駆動するプラズマディスプレイ装置の概略構成を示す図である。

図1において、プラズマディスプレイパネルとしてのPDP10は、 m 個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列された夫々 n 個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。これら行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ は、夫々一対の行電極 X_i ($1 \leq i \leq n$) 及び Y_i ($1 \leq i \leq n$) にて、PDP10における第1表示ライン～第 n 表示ラインを担っている。列電極 D と、行電極 X 及び Y との間には、放電ガスが封入されている放電空間が形成されており、この放電空間を含む各行電極対と列電極との交差部に、画素を担う放電セルが形成される構造となっている。つまり、PDP10には、第1行・第1列～第 n 行・第 m 列

各々に対応した($n \times m$)個の放電セルが形成されているのである。

【0009】

A/D変換器1は、入力されたアナログの映像信号をサンプリングしてこれを各画素に対応した例えば4ビットの画素データPDに変換し、これをデータ変換回路30に供給する。

図2は、かかるデータ変換回路30の内部構成を示す図である。

図2において、第1データ変換回路32は、4ビットで"0"～"15"なる輝度範囲を表現し得る上記画素データPDを、3ビットで"0"～"4"なる輝度範囲に抑制した輝度抑制画素データPD_Lに変換する。

【0010】

図3は、上記第1データ変換回路32の内部構成を示す図である。

図3において、データ変換器321は、図4(a)に示す如き第1変換テーブルに従って4ビットの上記画素データPDを3ビットの変換画素データDaに変換してこれをセレクタ320に供給する。データ変換器322は、図4(b)に示す如き第2変換テーブルに従って4ビットの上記画素データPDを3ビットの変換画素データDbに変換してこれをセレクタ320に供給する。データ変換器323は、図4(c)に示す如き第3変換テーブルに従って4ビットの上記画素データPDを3ビットの変換画素データDcに変換してこれをセレクタ320に供給する。データ変換器324は、図4(d)に示す如き第4変換テーブルに従って4ビットの上記画素データPDを3ビットの変換画素データDdに変換してこれをセレクタ320に供給する。セレクタ320は、上記変換画素データDa～Dcの中から、変換テーブル指定信号SSによって示されるものを択一的に選択し、これを輝度抑制画素データPD_Lとして出力する。尚、変換テーブル指定信号SSは、駆動制御回路2から供給される。駆動制御回路2は、奇数行・奇数列に属している放電セルに対応した画素データPDに対しては、上記第1変換テーブルによって得られる上記変換画素データDaを輝度抑制画素データPD_Lとして選択出力させるべき変換テーブル指定信号SSをセレクタ320に供給する。又、駆動制御回路2は、奇数行・偶数列に属している放電セルに対応した画素データPDに対しては、上記第2変換テーブルによって得られる上記変換画素データDbを輝

度抑制画素データ PD_L として選択出力させるべき変換テーブル指定信号 SS をセクタ 320 に供給する。又、駆動制御回路 2 は、偶数行・奇数列に属している放電セルに対応した画素データ PD に対しては、上記第 3 変換テーブルによって得られる上記変換画素データ Dc を輝度抑制画素データ PD_L として選択出力させるべき変換テーブル指定信号 SS をセクタ 320 に供給する。そして、駆動制御回路 2 は、偶数行・偶数列に属している放電セルに対応した画素データ PD に対しては、上記第 4 変換テーブルによって得られる上記変換画素データ Dd を輝度抑制画素データ PD_L として選択出力させるべき変換テーブル指定信号 SS をセクタ 320 に供給する。

【 0 0 1 1 】

すなわち、第 1 データ変換回路 32 は、上記画素データ PD が奇数行・奇数列に配列された放電セルに対応したものである場合には、この画素データ PD を図 4 (a) に示す第 1 変換テーブルに従って 3 ビットの輝度抑制画素データ PD_L に変換する。又、上記画素データ PD が奇数行・偶数列に配列された放電セルに対応したものである場合には、第 1 データ変換回路 32 は、この画素データ PD を図 4 (b) に示す第 2 変換テーブルに従って 3 ビットの輝度抑制画素データ PD_L に変換する。又、上記画素データ PD が偶数行・奇数列に配列された放電セルに対応したものである場合には、第 1 データ変換回路 32 は、この画素データ PD を図 4 (c) に示す第 3 変換テーブルに従って 3 ビットの輝度抑制画素データ PD_L に変換する。そして、上記画素データ PD が偶数行・偶数列に配列された放電セルに対応したものである場合には、第 1 データ変換回路 32 は、この画素データ PD を図 4 (d) に示す第 4 変換テーブルに従って 3 ビットの輝度抑制画素データ PD_L に変換するのである。

【 0 0 1 2 】

図 2 に示す第 2 データ変換回路 34 は、上記輝度抑制画素データ PD_L を図 5 に示す変換テーブルに従って 4 ビットの画素駆動データ GD に変換し、これをメモリ 4 に供給する。

メモリ 4 は、駆動制御回路 2 から供給された書込信号に従って上記画素駆動データ GD を順次書き込む。そして、メモリ 4 は、1 画面分、つまり第 1 行・第 1

列に対応した画素駆動データ GD_{11} から、第 n 行・第 m 列に対応した画素駆動データ GD_{nm} までの $(n \times m)$ 個分の書き込みが終了する度に、以下の如き読み出し動作を行う。

【 0 0 1 3 】

先ず、メモリ 4 は、画素駆動データ $GD_{11} \sim GD_{nm}$ 各々の最下位ビットである第 1 ビット目を画素駆動データビット $DB_{111} \sim DB_{1nm}$ と捉え、これらを 1 表示ライン分ずつ読み出してアドレスドライバ 6 に供給する。次に、メモリ 4 は、画素駆動データ $GD_{11} \sim GD_{nm}$ 各々の第 2 ビット目を画素駆動データビット $DB_{211} \sim DB_{2nm}$ と捉え、これらを 1 表示ライン分ずつ読み出してアドレスドライバ 6 に供給する。次に、メモリ 4 は、画素駆動データ $GD_{11} \sim GD_{nm}$ 各々の第 3 ビット目を画素駆動データビット $DB_{311} \sim DB_{3nm}$ と捉え、これらを 1 表示ライン分ずつ読み出してアドレスドライバ 6 に供給する。そして、メモリ 4 は、画素駆動データ $GD_{11} \sim GD_{nm}$ 各々の第 4 ビット目を画素駆動データビット $DB_{411} \sim DB_{4nm}$ と捉え、これらを 1 表示ライン分ずつ読み出してアドレスドライバ 6 に供給する。

【 0 0 1 4 】

尚、メモリ 4 は、上記画素駆動データビット $DB_1 \sim DB_4$ 各々の読み出し動作を、図 6 に示す発光駆動フォーマット(後述する)でのサブフィールド $SF_1 \sim SF_4$ 各々と対応させて実行する。つまり、メモリ 4 は、サブフィールド SF_1 では画素駆動データビット DB_1 、 SF_2 では画素駆動データビット DB_2 、 SF_3 では画素駆動データビット DB_3 、 SF_4 では画素駆動データビット DB_4 の読み出しを夫々行う。

【 0 0 1 5 】

駆動制御回路 2 は、図 6 に示されるが如き発光駆動フォーマットに従って PDP_{10} を階調駆動すべき各種タイミング信号を発生してアドレスドライバ 6、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々に供給する。

尚、図 6 に示す発光駆動フォーマットでは、1 フィールド(フレーム)の表示期間を上述した如き 4 つのサブフィールド $SF_1 \sim SF_4$ に分割する。そして、各サブフィールド内において、一斉リセット行程 R 、画素データ書込行程 W 、第 1

～第4発光維持行程 $I_1 \sim I_4$ 、第1～第3選択一斉消去行程 $S_1 \sim S_3$ 及び第2消去行程 E を夫々実行する。

【0016】

図7は、駆動制御回路2から供給された各種タイミング信号に応じて、アドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8各々が PDP10 に印加する各種駆動パルスと、その印加タイミングを示す図である。

図7において、各サブフィールドの先頭で実行する一斉リセット行程 R では、第1サステインドライバ7が、負極性のリセットパルス RP_x を発生して行電極 $X_1 \sim X_n$ に印加する。更に、かかるリセットパルス RP_x と同時に、第2サステインドライバ8は、正極性のリセットパルス RP_y を発生して行電極 $Y_1 \sim Y_n$ に印加する。これらリセットパルス RP_x 及び RP_y の同時印加に応じて、PDP10の全放電セル内にリセット放電が生起され、各放電セル内に壁電荷が形成される。これにより、全ての放電セルは“発光セル”の状態に初期化される。

【0017】

かかる一斉リセット行程 R の終了後、画素データ書込行程 W が実行される。

画素データ書込行程 W では、アドレスドライバ6が、上記メモリ4から供給された画素駆動データビット DB に応じたパルス電圧を有する画素データパルスを生成する。例えば、サブフィールド SF1 では、メモリ4から画素駆動データビット DB1 が供給されるので、アドレスドライバ6は、この画素駆動データビット DB1 の論理レベルに応じたパルス電圧を有する画素データパルスを生成する。又、サブフィールド SF2 では、メモリ4から画素駆動データビット DB2 が供給されるので、アドレスドライバ6は、この画素駆動データビット DB2 の論理レベルに応じたパルス電圧を有する画素データパルスを生成する。尚、アドレスドライバ6は、上記画素駆動データビット DB の論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0ボルト)の画素データパルスを生成する。そして、アドレスドライバ6は、上述の如く生成した画素データパルスを1表示ライン分毎にグループ化した画素データパルス群 $DP_1 \sim DP_n$ として、図7に示すように順次、列電極 $D_1 \sim D_m$ に印加する。

【0018】

更に、画素データ書込行程Wでは、第2サスティンドライバ8が、上記画素データパルス群 $DP_1 \sim DP_n$ 各々の印加タイミングにて負極性の走査パルスSPを発生し、これを図7に示すように行電極 $Y_1 \sim Y_n$ へと順次印加して行く。ここで、上記走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された”列”との交差部の放電セルにのみ放電(選択消去放電)が生じる。かかる選択消去放電により、放電セル内に形成されていた壁電荷は消滅し、この放電セルは”非発光セル”の状態に推移する。一方、上記走査パルスSPが印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような選択消去放電は生起されず、上記一斉リセット行程Rにて初期化された状態、つまり”発光セル”の状態が保持される。すなわち、画素データ書込行程Wによれば、入力映像信号に基づく画素データに応じて、各放電セルが”発光セル”又は”非発光セル”のいずれか一方の状態に設定されるのである。

【 0 0 1 9 】

かかる画素データ書込行程Wの終了後、図7に示すように第1発光維持行程 I_1 が実行される。

第1発光維持行程 I_1 では、第1サスティンドライバ7及び第2サスティンドライバ8各々が、図7に示す如く正極性の維持パルス IP_X 及び IP_Y を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に印加する。この際、サブフィールドSF1～SF4各々の第1発光維持行程 I_1 内において繰り返し印加する維持パルスIPの回数(又は期間)は、サブフィールドSF1の第1発光維持行程 I_1 での回数を”4”とした場合、

SF 1 : 4

SF 2 : 3 6

SF 3 : 6 8

SF 4 : 1 0 0

である。

【 0 0 2 0 】

かかる動作により、壁電荷が残留したままとなっている放電セル、すなわち”発光セル”状態にある放電セルのみが上記維持パルス IP_X 及び IP_Y が印加され

る度に維持放電し、上記回数分だけその維持放電に伴う発光状態を維持する。

上記第 1 発光維持行程 I_1 の終了後、図 7 に示すように第 1 選択一斉消去行程 S_1 が実行される。

【 0 0 2 1 】

この第 1 選択一斉消去行程 S_1 では、アドレスドライバ 6 が、列電極 $D_1 \sim D_m$ の内の偶数番目の列電極 D_2 、 D_4 、 D_6 、 D_8 、 \dots 、 D_m 各々に図 7 に示す如き正極性の偶数アドレスパルス AP_{EV} を印加する。更に、かかる偶数アドレスパルス AP_{EV} の印加と同一タイミングにて、第 2 サステインドライバ 8 が、行電極 $Y_1 \sim Y_n$ の内の偶数番目の行電極 Y_2 、 Y_4 、 Y_6 、 Y_8 、 \dots 、 Y_n 各々に図 7 に示す如き負極性の消去パルス EP を印加する。これら偶数アドレスパルス AP_{EV} 及び消去パルス EP の同時印加に応じて、偶数番目の”列電極”と偶数番目の”行電極対”との交差部に存在する全ての放電セル内において一斉に消去放電が生起され、放電セル内に形成されていた壁電荷が消滅する。

【 0 0 2 2 】

すなわち、上記第 1 選択一斉消去行程 S_1 の実行により、偶数行・偶数列に配列された全ての放電セルを強制的に”非発光セル”の状態に推移させるのである。

この第 1 選択一斉消去行程 S_1 の終了後、図 7 に示すように第 2 発光維持行程 I_2 が実行される。

第 2 発光維持行程 I_2 では、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々が、図 7 に示す如く正極性の維持パルス IP_X 及び IP_Y を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に繰り返し印加する。この際、サブフィールド $SF1 \sim SF4$ 各々の第 2 発光維持行程 I_2 内において繰り返し印加する維持パルス IP の回数(又は期間)は、夫々”8”回である。かかる動作により、壁電荷が残留したままとなっている放電セル、すなわち”発光セル”状態にある放電セルのみが上記維持パルス IP_X 及び IP_Y が印加される度に維持放電し、”8”回分だけその維持放電に伴う発光状態を維持する。

【 0 0 2 3 】

かかる第 2 発光維持行程 I_2 の終了後、図 7 に示すように第 2 選択一斉消去行程 S_2 が実行される。

第2選択一斉消去行程 S_2 では、アドレスドライバ6が、列電極 $D_1 \sim D_m$ の内の奇数番目の列電極 D_1 、 D_3 、 D_5 、 D_7 、 \dots 、 D_{m-1} 各々に図7に示す如き正極性の奇数アドレスパルス AP_{OD} を印加する。更に、かかる奇数アドレスパルス AP_{OD} の印加と同一タイミングにて、第2サステインドライバ8が、行電極 $Y_1 \sim Y_n$ の内の偶数番目の行電極 Y_2 、 Y_4 、 Y_6 、 Y_8 、 \dots 、 Y_n 各々に図7に示す如き負極性の消去パルス EP を印加する。これら奇数アドレスパルス AP_{OD} 及び消去パルス EP の同時印加に応じて、奇数番目の”列電極”と偶数番目の”行電極対”との交差部に存在する全ての放電セル内において一斉に消去放電が生起され、放電セル内に形成されていた壁電荷が消滅する。

【0024】

すなわち、上記第2選択一斉消去行程 S_2 の実行により、偶数行・奇数列に配列された全ての放電セルを強制的に”非発光セル”の状態に推移させるのである。

この第2選択一斉消去行程 S_2 の終了後、図7に示すように第3発光維持行程 I_3 が実行される。

第3発光維持行程 I_3 では、第1サステインドライバ7及び第2サステインドライバ8各々が、図7に示す如く正極性の維持パルス IP_X 及び IP_Y を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に繰り返し印加する。この際、サブフィールド $SF1 \sim SF4$ 各々の第3発光維持行程 I_3 内において繰り返し印加する維持パルス IP の回数(又は期間)は夫々”8”回である。かかる動作により、壁電荷が残留したままとなっている放電セル、すなわち”発光セル”状態にある放電セルのみが上記維持パルス IP_X 及び IP_Y が印加される度に維持放電し、”8”回分だけその維持放電に伴う発光状態を維持する。

【0025】

かかる第3発光維持行程 I_3 の終了後、図7に示すように第3選択一斉消去行程 S_3 が実行される。

第3選択一斉消去行程 S_3 では、アドレスドライバ6が、列電極 $D_1 \sim D_m$ の内の奇数番目の列電極 D_1 、 D_3 、 D_5 、 D_7 、 \dots 、 D_{m-1} 各々に図7に示す如き正極性の奇数アドレスパルス AP_{OD} を印加する。更に、かかる奇数アドレスパルス AP_{OD} の印加と同一タイミングにて、第2サステインドライバ8が、行電極 Y_1

$\sim Y_n$ の内の奇数番目の行電極 $Y_1, Y_3, Y_5, Y_7, \dots, Y_{n-1}$ 各々に図 7 に示す如き負極性の消去パルス EP を印加する。これら奇数アドレスパルス AP_{OD} 及び消去パルス EP の同時印加に応じて、奇数番目の”列電極”と奇数番目の”行電極対”との交差部に存在する全ての放電セル内において一斉に消去放電が生起され、放電セル内に形成されていた壁電荷が消滅する。

【 0 0 2 6 】

すなわち、上記第 3 選択一斉消去行程 S_3 の実行により、奇数行・奇数列に配列された全ての放電セルを強制的に”非発光セル”の状態に推移させるのである。

この第 3 選択一斉消去行程 S_3 の終了後、図 7 に示すように第 4 発光維持行程 I_4 が実行される。

第 4 発光維持行程 I_4 では、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 各々が、図 7 に示す如く正極性の維持パルス IP_X 及び IP_Y を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に繰り返し印加する。この際、サブフィールド $SF1 \sim SF4$ 各々の第 4 発光維持行程 I_4 内において繰り返し印加する維持パルス IP の回数(又は期間)は夫々”8”回である。かかる動作により、壁電荷が残留したままとなっている放電セル、すなわち”発光セル”状態にある放電セルのみが上記維持パルス IP_X 及び IP_Y が印加される度に維持放電し、”8”回分だけその維持放電に伴う発光状態を維持する。

【 0 0 2 7 】

かかる第 4 発光維持行程 I_4 の終了後、図 7 に示すように消去行程 E が実行される。

消去行程 E では、第 2 サスティンドライバ 8 が、図 7 に示す如き負極性の消去パルス EP を全ての行電極 $Y_1 \sim Y_n$ に印加する。かかる動作に応じて、1 画面内の全放電セルに消去放電が生起され、全ての放電セルが”非発光セル”状態となる。

【 0 0 2 8 】

図 7 に示す駆動によれば、上記画素データ書込行程 W で”発光セル”の状態に設定された放電セルのみが、上記第 1 発光維持行程 $I_1 \sim$ 第 4 発光維持行程 I_4 各々で生起された維持放電の総数だけこの放電に伴う発光状態を継続するのである。

例えば、サブフィールド S F 1 内では、図 6 に示す如く上記第 1 発光維持行程 I_1 で” 4 ”回、第 2 発光維持行程 I_2 で” 8 ”回、第 3 発光維持行程 I_3 で” 8 ”回、第 4 発光維持行程 I_4 で” 8 ”回の合計” 2 8 ”回の維持放電が為される。つまり、サブフィールド S F 1 ～ S F 4 各々には、夫々、

S F 1 : 2 8

S F 2 : 6 0

S F 3 : 9 2

S F 4 : 1 2 4

なる維持放電の実施回数が割り当てられているのである。

【 0 0 2 9 】

この際、P D P 1 0 の画面上には、これらサブフィールド S F 1 ～ S F 4 各々内で生起された維持放電の合計回数に応じた中間輝度が得られる。

ここで、図 6 及び図 7 に示す駆動では、第 1 発光維持行程 I_1 の終了直後に、偶数行・偶数列に配列された全ての放電セルを強制的に”非発光セル”の状態に推移させる第 1 選択一斉消去行程 S_1 を実行している。更に、第 2 発光維持行程 I_2 の終了直後に、偶数行・奇数列に配列された全ての放電セルを強制的に”非発光セル”の状態に推移させる第 2 選択一斉消去行程 S_2 を実行している。そして、第 3 発光維持行程 I_3 の終了直後に、奇数行・奇数列に配列された全ての放電セルを強制的に”非発光セル”の状態に推移させる第 3 選択一斉消去行程 S_3 を実行している。

【 0 0 3 0 】

従って、奇数行・奇数列に配列された放電セルは、例え”発光セル”の状態にあっても第 4 発光維持行程 I_4 では維持放電しない。つまり、奇数行・奇数列に属している放電セルでは、実質的には、図 8 に示す発光駆動フォーマット A に従った階調駆動が為される。これによると、サブフィールド S F 1 ～ S F 4 各々内において、夫々、

S F 1 : 2 0

S F 2 : 5 2

S F 3 : 8 4

S F 4 : 1 1 6

なる回数分だけ維持放電が生起されることになる。

【0031】

一方、奇数行・偶数列に配列された放電セルは、上記第1選択一斉消去行程 S_1 ～第3選択一斉消去行程 S_3 の影響を受けないので、実質的には、図8に示す発光駆動フォーマットBに従った階調駆動が為される。これによると、サブフィールドSF1～SF4各々内において、夫々、

S F 1 : 2 8

S F 2 : 6 0

S F 3 : 9 2

S F 4 : 1 2 4

なる回数分だけ維持放電が生起されることになる。

【0032】

ところが、偶数行・奇数列に配列された放電セルは、上記第2選択一斉消去行程 S_2 の段階で強制的に”非発光セル”状態になるので、第3発光維持行程 I_3 及び第4発光維持行程 I_4 各々で維持放電することはない。つまり、偶数行・奇数列に配列された放電セルでは、実質的には、図8に示す発光駆動フォーマットCに従った階調駆動が為される。これによると、サブフィールドSF1～SF4各々内において、夫々、

S F 1 : 1 2

S F 2 : 4 4

S F 3 : 7 6

S F 4 : 1 0 8

なる回数分だけ維持放電が生起されることになる。

【0033】

更に、偶数行・偶数列に配列された放電セルは、上記第1選択一斉消去行程 S_1 の段階で強制的に”非発光セル”状態になるので、第2発光維持行程 I_2 ～第4発光維持行程 I_4 各々で維持放電することはない。つまり、偶数行・偶数列に配列された放電セルでは、実質的には、図8に示す発光駆動フォーマットDに従った

階調駆動が為される。これによると、サブフィールド S F 1 ～ S F 4 各々内において、夫々、

S F 1 : 4

S F 2 : 3 6

S F 3 : 6 8

S F 4 : 1 0 0

なる回数分だけ維持放電が生起されることになる。

【 0 0 3 4 】

ここで、各サブフィールド内において、各放電セルが”発光セル”の状態、又は”非発光セル”の状態のいずれになるのかは、図 5 に示す如き 4 ビットで 5 パターンからなる画素駆動データ G D に依存している。つまり、画素駆動データ G D のビットが論理レベル” 1 ”である場合には、図 5 中の黒丸にて示されるが如く、そのビット桁に対応したサブフィールドにおいて選択消去放電が生起され、放電セルは”非発光セル”状態になる。一方、画素駆動データ G D のビットが論理レベル” 0 ”のときには選択消去放電は生起されないので、放電セルは”発光セル”の状態となり、白丸に示す如くそのビット桁に対応したサブフィールドで維持放電が生起される。

【 0 0 3 5 】

従って、図 9 に示すようにマトリクス状に配列されている放電セルの中で、奇数行・奇数列に配列された放電セルでは、上記画素駆動データ G D を用いた発光駆動フォーマット A に基づく駆動により、夫々、

[0 、 2 0 、 7 2 、 1 5 6 、 2 7 2]

なる輝度レベルを有する 5 階調分の発光が為される。

【 0 0 3 6 】

又、奇数行・偶数列に配列された放電セルでは、上記画素駆動データ G D (ただし、図 4 (b) の第 2 変換テーブルで輝度抑制されているので” 0 0 0 0 ”なる G D は存在しない)を用いた発光駆動フォーマット B に基づく駆動により、夫々、

[0 、 2 8 、 8 8 、 1 8 0]

なる輝度レベルを有する 4 階調分の発光が為される。

【 0 0 3 7 】

又、偶数行・奇数列に配列された放電セルでは、上記発光駆動フォーマットCに基づく駆動により、夫々、

[0、1 2、5 6、1 3 2、2 4 0]

なる輝度レベルを有する5階調分の発光が為される。

更に、偶数行・偶数列に配列された放電セルでは、上記発光駆動フォーマットDに基づく駆動により、夫々、

[0、4、4 0、1 0 8、2 0 8]

なる輝度レベルを有する5階調分の発光が為される。

【 0 0 3 8 】

その結果、奇数行・奇数列に配列された放電セルでは、上記画素データPDに応じて、図10(A)に示す如き輝度レベルを有する発光が為される。又、奇数行・偶数列に配列された放電セルでは、上記画素データPDに応じて、図10(B)に示す如き輝度レベルを有する発光が為される。又、偶数行・奇数列に配列された放電セルでは、上記画素データPDに応じて、図10(C)に示す如き輝度レベルを有する発光が為される。そして、偶数行・偶数列に配列された放電セルでは、上記画素データPDに応じて、図10(D)に示す如き輝度レベルを有する発光が為される。

【 0 0 3 9 】

すなわち、図9中において太線で囲まれている放電セルブロック内の4つの放電セル各々に、各サブフィールド内で実施すべき発光回数(維持放電回数)が互いに異なる発光駆動フォーマットA～Dを夫々割り当てて駆動を行うのである。

従って、放電セルブロック内の4つの放電セル各々に同一の画素データが供給された場合、この放電セルブロック内での発光輝度レベルは、図11に示す如き状態となる。

【 0 0 4 0 】

例えば、輝度レベル”4”を表す画素データPDが供給された場合には、図11に示す如く、奇数行・奇数列に配列された放電セルG(j,k)では輝度レベル”2 0”の発光が為される。又、この際、奇数行・偶数列に配列された放電セルG(j,k+

1)では輝度レベル”28”の発光が為される。又、偶数行・奇数列に配列された放電セル $G(j+1, k)$ では輝度レベル”12”の発光が為される。そして、偶数行・偶数列に配列された放電セル $G(j+1, k+1)$ では輝度レベル”4”の発光が為される。よって、各放電セルの平均輝度レベルは”16”となり、これが、4つの放電セルからなる放電セルブロック単位で視覚される発光輝度レベルとなる。

【0041】

又、例えば、輝度レベル”10”を表す画素データPDが供給された場合には、図11に示す如く、奇数行・奇数列に配列された放電セル $G(j, k)$ では輝度レベル”72”の発光が為される。又、この際、奇数行・偶数列に配列された放電セル $G(j, k+1)$ では輝度レベル”88”の発光が為される。又、偶数行・奇数列に配列された放電セル $G(j+1, k)$ では輝度レベル”132”の発光が為される。そして、偶数行・偶数列に配列された放電セル $G(j+1, k+1)$ では輝度レベル”108”の発光が為される。よって、各放電セルの平均輝度レベルは”100”となり、これが、4つの放電セルからなる放電セルブロック単位で視覚される発光輝度レベルとなる。

【0042】

図12は、入力映像信号に対応した画素データPDと、4つの放電セルからなる上記放電セルブロック単位で視覚される発光輝度レベルとの対応関係を示す図である。

このように、1放電セルに対する駆動時の階調数は図5に示す如き5階調であっても、互いに隣接する4つの放電セルを1つの表示単位と捉えた際には、図12に示す如く16階調分の中間輝度が視覚されるようになるのである。すなわち、上記駆動によれば、元の画素データにディザ係数を加算せずとも、ディザ処理と同等な多階調化が為されるのである。

【0043】

よって、本発明によれば、全ての放電セルブロック内において、各放電セル間での輝度差が一定になるので、表示品質の高い多階調化が為される。

尚、上記実施例においては、図9に示すように4つの放電セル各々に対して、

奇数行・奇数列に配列された放電セル：発光駆動フォーマットA

奇数行・偶数列に配列された放電セル：発光駆動フォーマット B

偶数行・奇数列に配列された放電セル：発光駆動フォーマット C

偶数行・偶数列に配列された放電セル：発光駆動フォーマット D

なる割り当てで駆動を実施するようにしている。

【 0 0 4 4 】

しかしながら、各放電セルに対する発光駆動フォーマットの割り当ては、上述の如き割り当てに限定されるものではない。

又、これら 4 つの放電セル各々に対する発光駆動フォーマット A ~ D 各々の割り当てを、図 1 3 に示す如く 1 フィールド表示期間毎に変更するようにしても良い。

【 0 0 4 5 】

すなわち、最初の第 1 フィールドにおいては、

奇数行・奇数列に配列された放電セル $G(j, k)$: 発光駆動フォーマット A

奇数行・偶数列に配列された放電セル $G(j, k+1)$: 発光駆動フォーマット B

偶数行・奇数列に配列された放電セル $G(j+1, k)$: 発光駆動フォーマット C

偶数行・偶数列に配列された放電セル $G(j+1, k+1)$: 発光駆動フォーマット D

次の第 2 フィールドにおいては、

奇数行・奇数列に配列された放電セル $G(j, k)$: 発光駆動フォーマット B

奇数行・偶数列に配列された放電セル $G(j, k+1)$: 発光駆動フォーマット A

偶数行・奇数列に配列された放電セル $G(j+1, k)$: 発光駆動フォーマット D

偶数行・偶数列に配列された放電セル $G(j+1, k+1)$: 発光駆動フォーマット C

次の第 3 フィールドにおいては、

奇数行・奇数列に配列された放電セル $G(j, k)$: 発光駆動フォーマット D

奇数行・偶数列に配列された放電セル $G(j, k+1)$: 発光駆動フォーマット C

偶数行・奇数列に配列された放電セル $G(j+1, k)$: 発光駆動フォーマット B

偶数行・偶数列に配列された放電セル $G(j+1, k+1)$: 発光駆動フォーマット A

そして、第 4 フィールドにおいては、

奇数行・奇数列に配列された放電セル $G(j, k)$: 発光駆動フォーマット C

奇数行・偶数列に配列された放電セル $G(j, k+1)$: 発光駆動フォーマット D

偶数行・奇数列に配列された放電セル $G(j+1,k)$: 発光駆動フォーマット A
 偶数行・偶数列に配列された放電セル $G(j+1,k+1)$: 発光駆動フォーマット B
 の如き割り当てで駆動を行い、上記第 1 フィールド～第 4 フィールド各々での動作を繰り返し実行する。

【 0 0 4 6 】

又、上記実施例においては、画素データの書込方法として、画素データに応じて選択的に放電セルを放電(選択消去放電)させて壁電荷を消滅せしめることにより画素データの書き込みを為す、いわゆる選択消去アドレス法を採用している。しかしながら、本発明においては、画素データの書込方法として、画素データに応じて選択的に放電セルを放電(選択書込放電)せしめてその放電セル内に壁電荷を形成させる、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

【 0 0 4 7 】

又、図 1 4 は、この選択書込アドレス法を採用した場合に、アドレスドライバ 6、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 各々が PDP 10 に印加する各種駆動パルスと、その印加タイミングを示す図である。

尚、図 1 4 においては、一斉リセット行程 R' 及び画素データ書込行程 W' を除く他の行程、つまり、第 1 発光維持行程 I_1 ～第 4 発光維持行程 I_4 、第 1 選択一斉消去行程 S_1 ～第 3 選択一斉消去行程 S_3 、及び消去行程 E 各々内での動作は、図 7 に示されているものと同一であるので、その説明は省略する。

【 0 0 4 8 】

図 1 4 において、各サブフィールドの先頭部で実施される一斉リセット行程 R では、第 1 サスティンドライバ 7 が PDP 10 の全ての行電極 X_1 ～ X_n に正極性のリセットパルス RP_x を同時に印加する。これと同時に、第 2 サスティンドライバ 8 が全ての行電極 Y_1 ～ Y_n に対して負極性のリセットパルス RP_y を印加する。これらリセットパルス RP_x 及び RP_y の印加に応じて、PDP 10 内の全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。その直後に、第 1 サスティンドライバ 7 は、図 1 4 に示す如き負極性の消去パルス EP を発生し、これを行電極 X_1 ～ X_n 各々に一斉に印加する。かか

る消去パルス $E P$ の印加により消去放電が生起され、全ての放電セル内に形成されていた壁電荷は消滅する。すなわち、選択書込アドレス法を採用した際の一斉リセット行程 R' では、 $P D P 10$ における全ての放電セルは、“非発光セル”の状態に初期化されるのである。

【 0 0 4 9 】

次の画素データ書込行程 W' では、アドレスドライバ 6 が、上記メモリ 4 から供給された画素駆動データビット $D B$ に応じたパルス電圧を有する画素データパルスを生成する。例えば、サブフィールド $S F 1$ では、メモリ 4 から画素駆動データビット $D B 1$ が供給されるので、アドレスドライバ 6 は、この画素駆動データビット $D B 1$ の論理レベルに応じたパルス電圧を有する画素データパルスを生成する。又、サブフィールド $S F 2$ では、メモリ 4 から画素駆動データビット $D B 2$ が供給されるので、アドレスドライバ 6 は、この画素駆動データビット $D B 2$ の論理レベルに応じたパルス電圧を有する画素データパルスを生成する。尚、アドレスドライバ 6 は、上記画素駆動データビット $D B$ の論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0 ボルト)の画素データパルスを生成する。そして、アドレスドライバ 6 は、上述の如く生成した画素データパルスを、1 表示ライン分毎にグループ化した画素データパルス群 $D P_1 \sim D P_n$ として、図 1 4 に示すように順次、列電極 $D_1 \sim D_m$ に印加する。

【 0 0 5 0 】

更に、画素データ書込行程 W では、第 2 サステインドライバ 8 が、上記画素データパルス群 $D P_1 \sim D P_n$ 各々の印加タイミングにて負極性の走査パルス $S P$ を発生し、これを図 1 4 に示すように行電極 $Y_1 \sim Y_n$ へと順次印加して行く。ここで、上記走査パルス $S P$ が印加された表示ラインと、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択書込放電)が生じる。かかる選択書込放電の終息後、放電セル内には壁電荷が形成され、この放電セルは“発光セル”の状態に推移する。一方、上記走査パルス $S P$ が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような選択書込放電は生起されず、上記一斉リセット行程 R' にて初期化された状態、つまり“非発光セ

ル”の状態が保持される。すなわち、画素データ書込行程W'によれば、入力映像信号に基づく画素データに応じて、各放電セルが”発光セル”又は”非発光セル”のいずれか一方の状態に設定されるのである。

【 0 0 5 1 】

又、上述の如き選択書込アドレス法を採用した場合、上記第2データ変換回路34は、図5に示される変換テーブルに代わり図15に示す変換テーブルを用いて輝度抑制画素データ PD_L を画素駆動データGDに変換する。よって、画素駆動データGD中で論理レベル”1”となっているビット桁に対応したサブフィールドSF(図15中に二重丸にて示す)において、上述した如き選択書込放電、並びに維持放電が生起される。

【 0 0 5 2 】

従って、画素データ書込方法として選択書込アドレス法を採用した場合にも、選択消去アドレス法を採用した場合と同様に、奇数行・奇数列に配列された放電セルでは、上記画素駆動データGDを用いた発光駆動フォーマットAに基づく駆動により、夫々、

[0、2 0、7 2、1 5 6、2 7 2]

なる輝度レベルを有する5階調分の発光が為される。

【 0 0 5 3 】

又、奇数行・偶数列に配列された放電セルでは、発光駆動フォーマットBに基づく駆動により、夫々、

[0、2 8、8 8、1 8 0]

なる輝度レベルを有する4階調分の発光が為される。

又、偶数行・奇数列に配列された放電セルでは、上記発光駆動フォーマットCに基づく駆動により、夫々、

[0、1 2、5 6、1 3 2、2 4 0]

なる輝度レベルを有する5階調分の発光が為される。

【 0 0 5 4 】

そして、偶数行・偶数列に配列された放電セルでは、上記発光駆動フォーマットDに基づく駆動により、夫々、

[0、4、4 0、1 0 8、2 0 8]

なる輝度レベルを有する 5 階調分の発光が為されるのである。

【 0 0 5 5 】

【発明の効果】

以上詳述した如く、本発明においては、入力映像信号に応じて発光セルの状態に設定された放電セルのみを、サブフィールドの重み付けに応じて割り当てた発光回数だけ発光させるにあたり、放電セルブロック内の各放電セル毎に、この割り当てべき発光回数を異ならしめている。これにより、放電セルブロック内の各放電セルに対応した画素データの各々に夫々異なる値を有するディザ係数を加算することなく、ディザ処理と同等な多階調化が為される。

【 0 0 5 6 】

よって、本発明によれば、全ての放電セルブロック内において各放電セル間の輝度差が一定になるので、表示品質を低下させることのない良好なディザ処理が可能となるのである。

【図面の簡単な説明】

【図 1】

本発明による中間調表示方法に基づいてプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図 2】

データ変換回路 3 0 の内部構成を示す図である。

【図 3】

データ変換回路 3 0 における第 1 データ変換回路 3 2 の内部構成を示す図である。

【図 4】

データ変換器 3 2 1 ～ 3 2 4 各々による第 1 ～ 第 4 変換テーブルを示す図である。

【図 5】

第 2 データ変換回路 3 4 によるデータ変換テーブルと、1 フィールド表示期間内での発光駆動パターンとを示す図である。

【図 6】

本発明の駆動方法に基づく発光駆動フォーマットの一例を示す図である。

【図 7】

選択消去アドレス法を採用した場合に、PDP 10 に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図 8】

放電セルブロック内の各放電セルに割り当てられる発光駆動フォーマット A ～ D を示す図である。

【図 9】

放電セルブロックと、その放電セルブロック内の各放電セルに割り当てられる発光駆動フォーマットとの対応を示す図である。

【図 10】

発光駆動フォーマット A ～ D 毎に、画素データ PD に対して得られる発光輝度を示す図である。

【図 11】

輝度レベル "0" ～ "11" 各々に対応した画素データ PD と、放電セルブロック内での各放電セルの発光輝度とを対応付けて示す図である。

【図 12】

画素データ PD と、放電セルブロック単位で視覚される発光輝度レベルとの対応関係を示す図である。

【図 13】

各放電セルに対する発光駆動フォーマット A ～ D 各々の割り当てを 1 フィールド表示期間毎に変更する際の動作例を示す図である。

【図 14】

選択書込アドレス法を採用した場合に、PDP 10 に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図 15】

選択書込アドレス法を採用した場合に、第 2 データ変換回路 34 で用いられるデータ変換テーブルと、1 フィールド表示期間内での発光駆動パターンとを示す

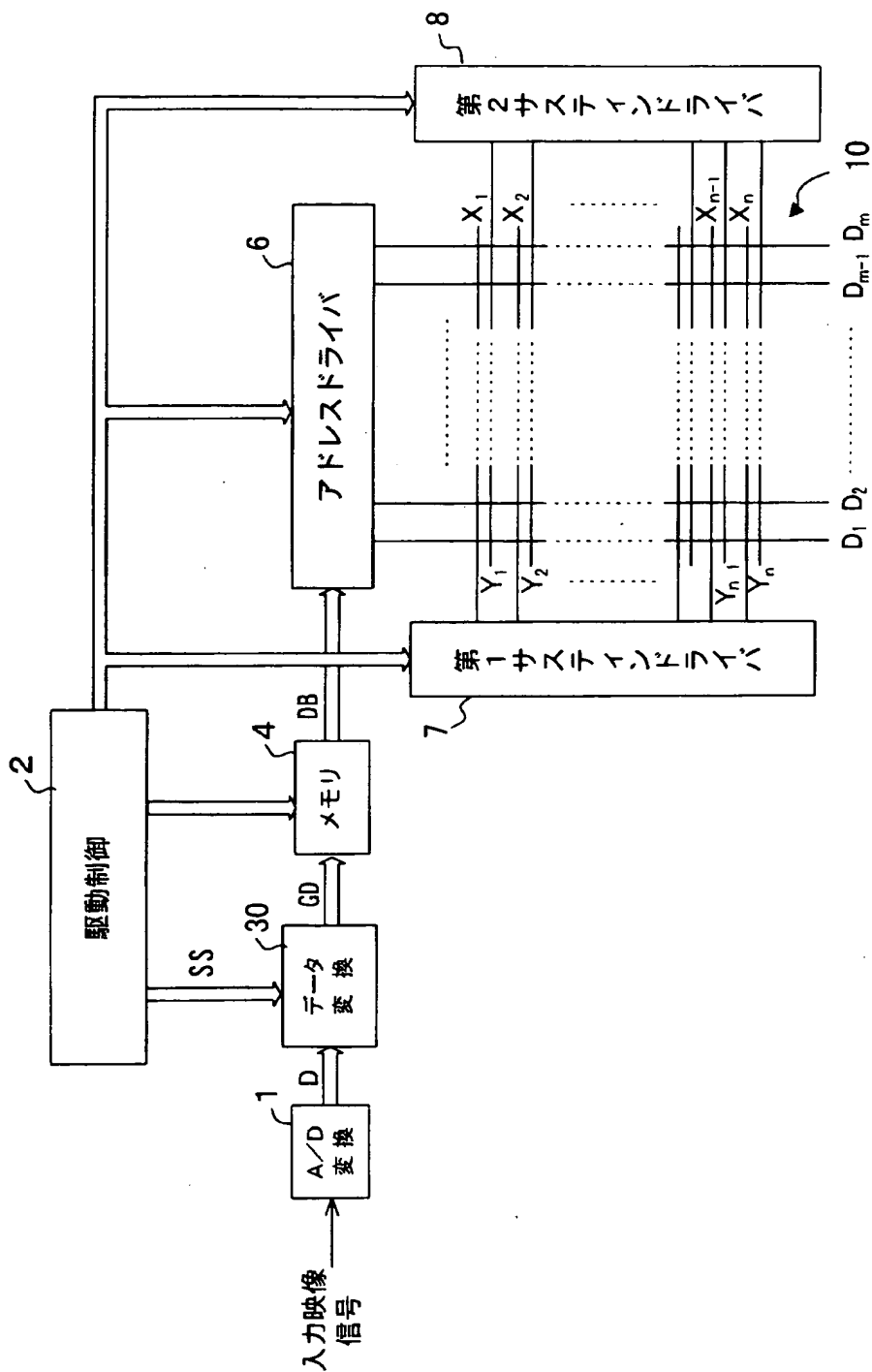
図である。

【主要部分の符号の説明】

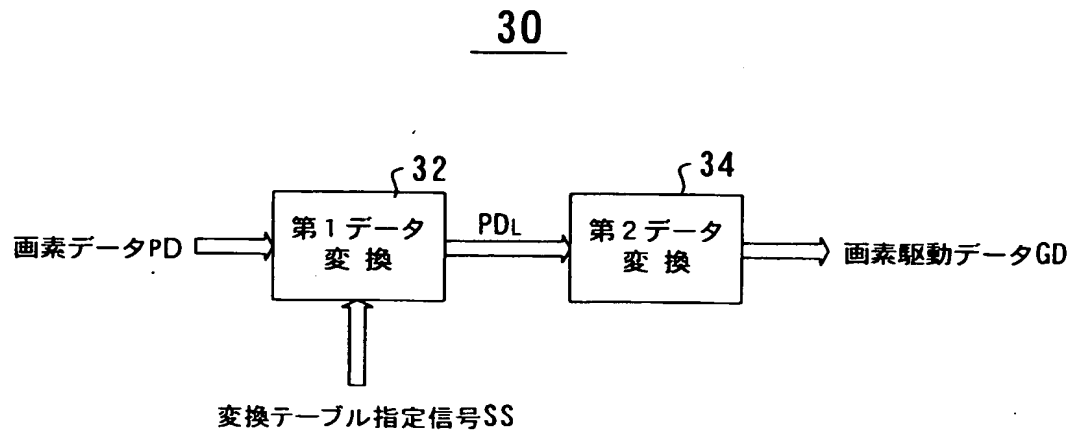
- 1 A/D変換器
- 2 駆動制御回路
- 3 データ変換回路
- 4 メモリ
- 6 アドレスドライバ
- 7 第1サスティンドライバ
- 8 第2サスティンドライバ
- 10 PDP（プラズマディスプレイパネル）

【書類名】 図面

【図 1】

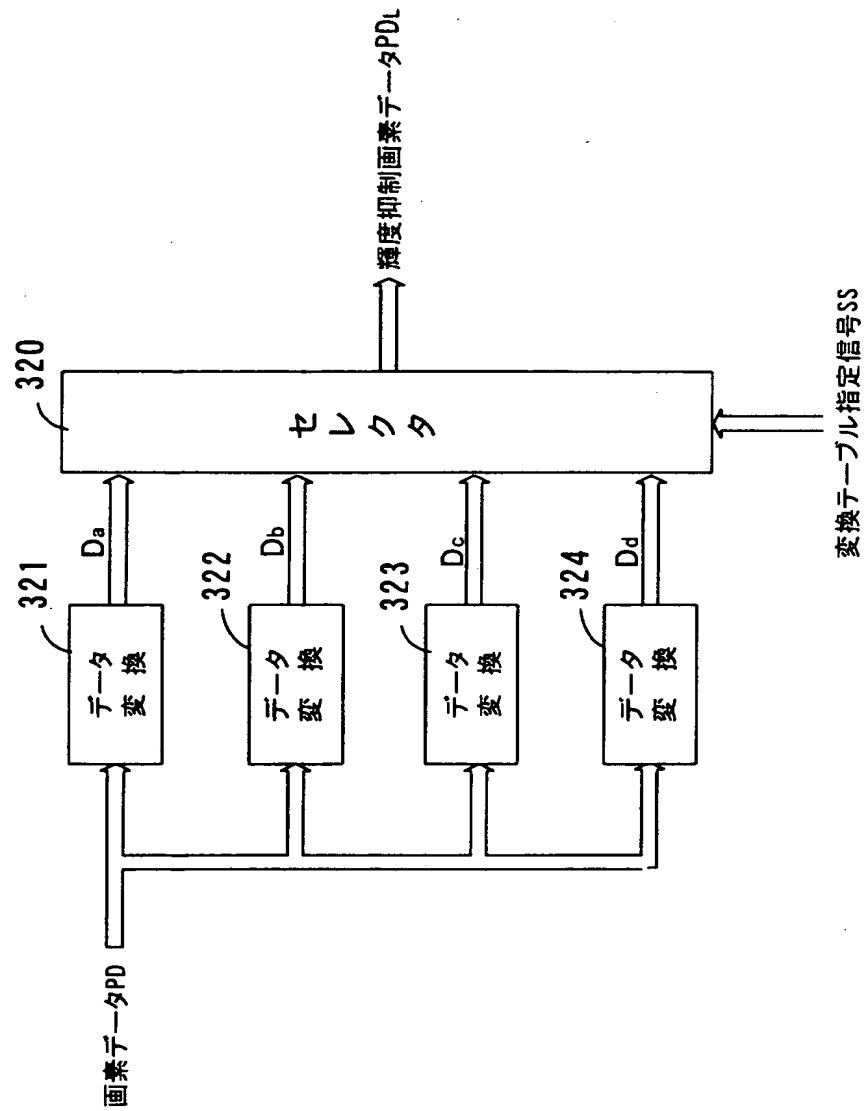


【図 2】

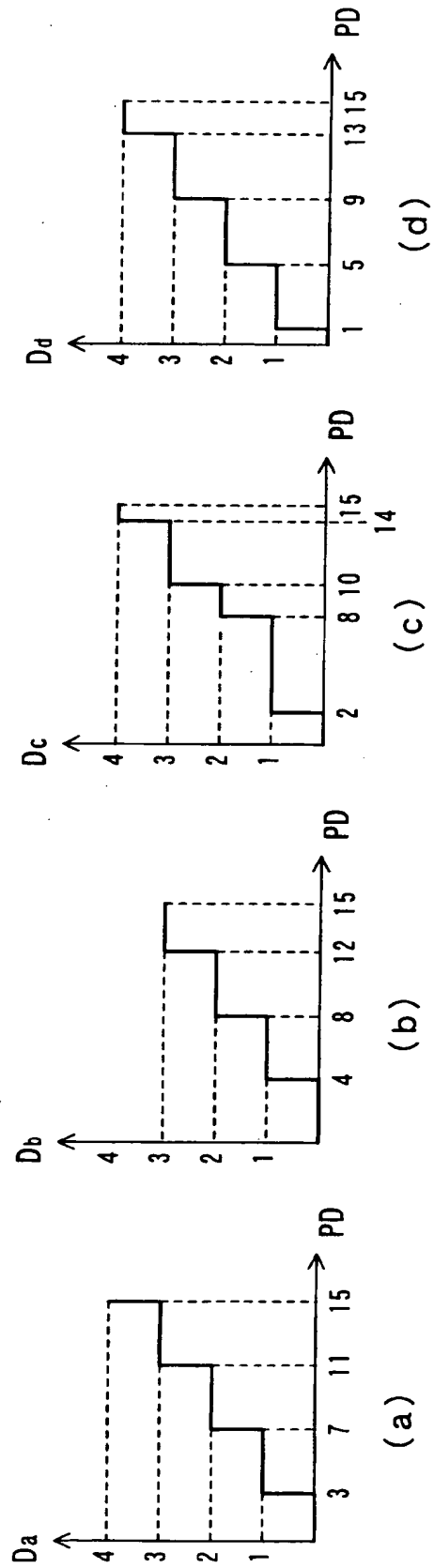


【図 3】

32



【図 4】



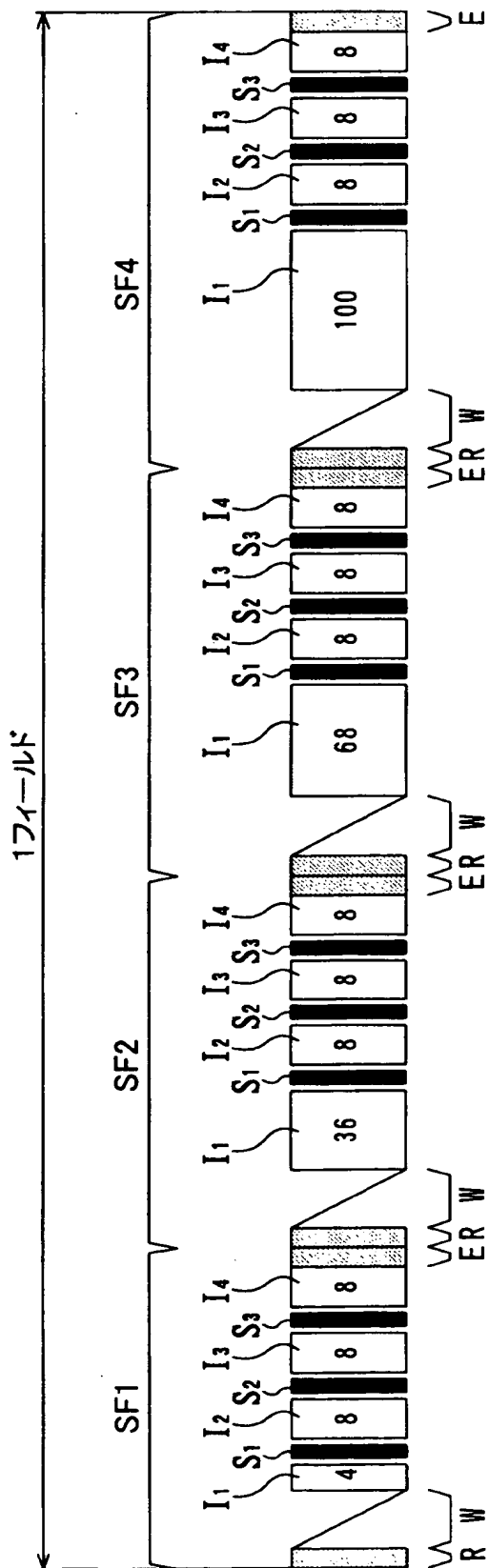
【図 5】

[選択消去]

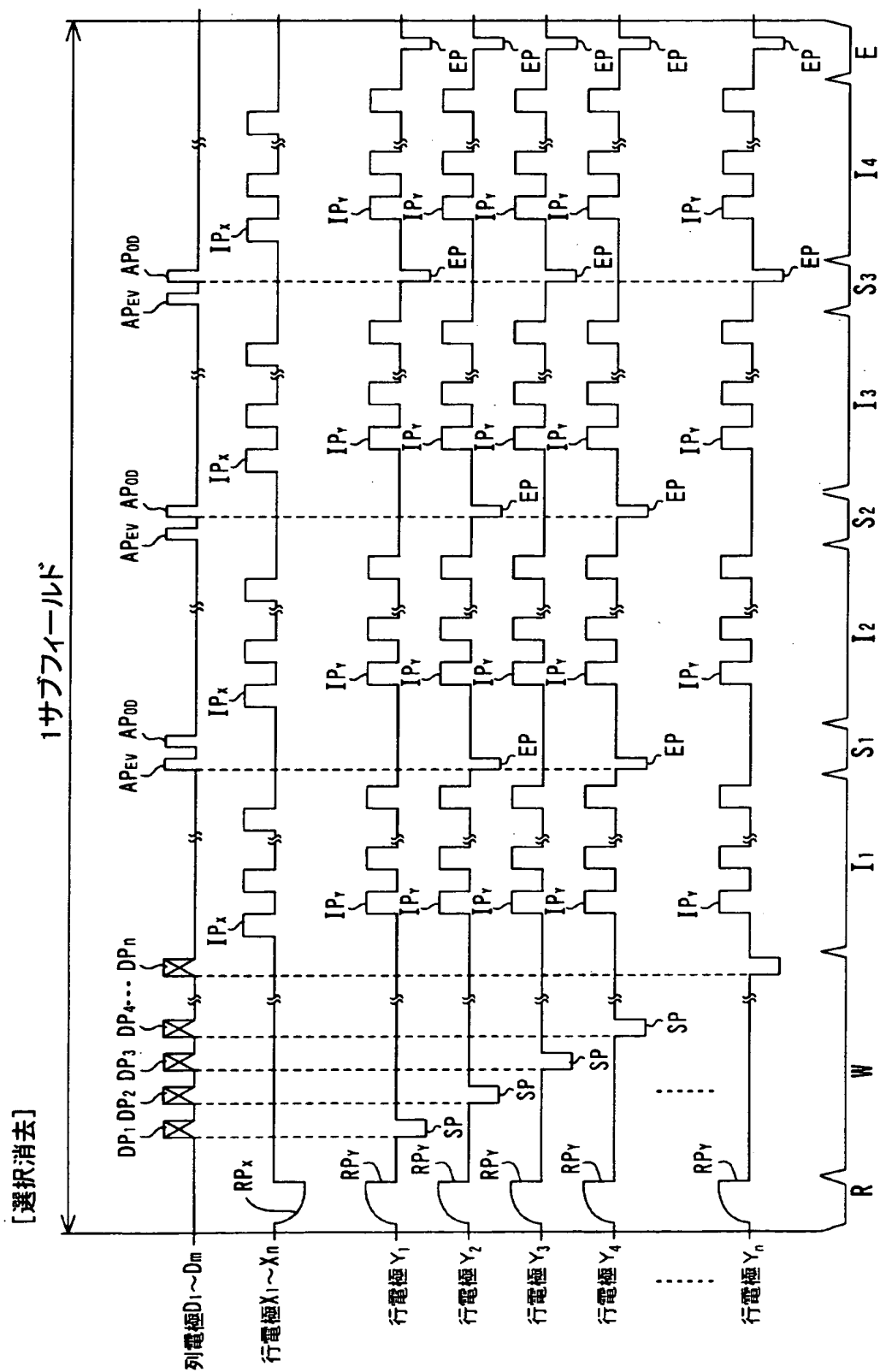
階調	第2データ変換回路34の 変換テーブル				発光駆動 パターン				輝 度				
	PDL	GD				SF 1	SF 2	SF 3	SF 4	A	B	C	D
		1	2	3	4								
1	000	1	1	1	1	●	●	●	●	0	0	0	0
2	001	0	1	1	1	○	●	●	●	20	28	12	4
3	010	0	0	1	1	○	○	●	●	72	88	56	40
4	011	0	0	0	1	○	○	○	●	156	180	132	108
5	100	0	0	0	0	○	○	○	○	272	<div></div>	240	208

黒丸: 選択消去放電(非発光)
白丸: 維持放電(発光)

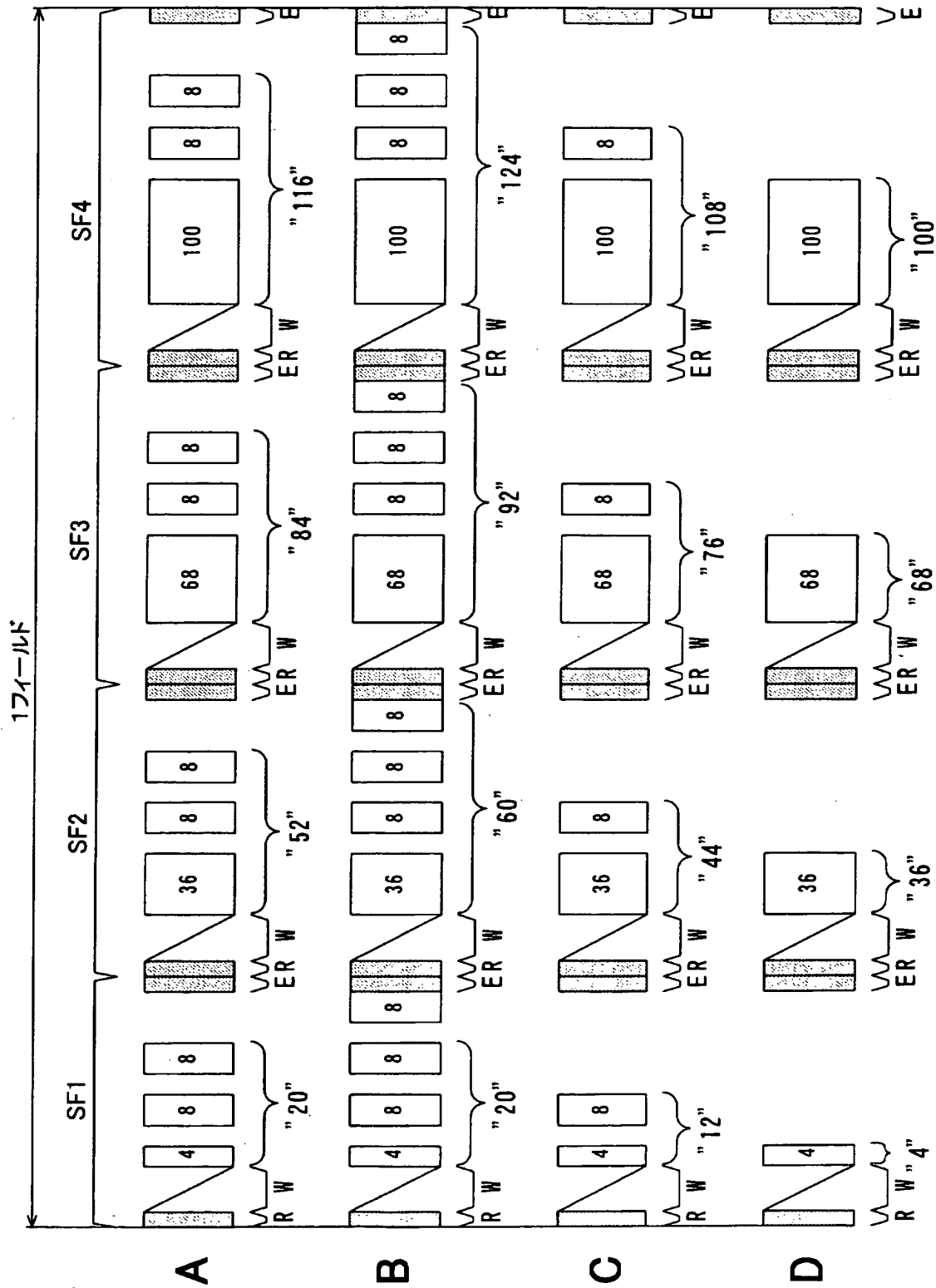
【図 6】



【図 7】



【図 8】

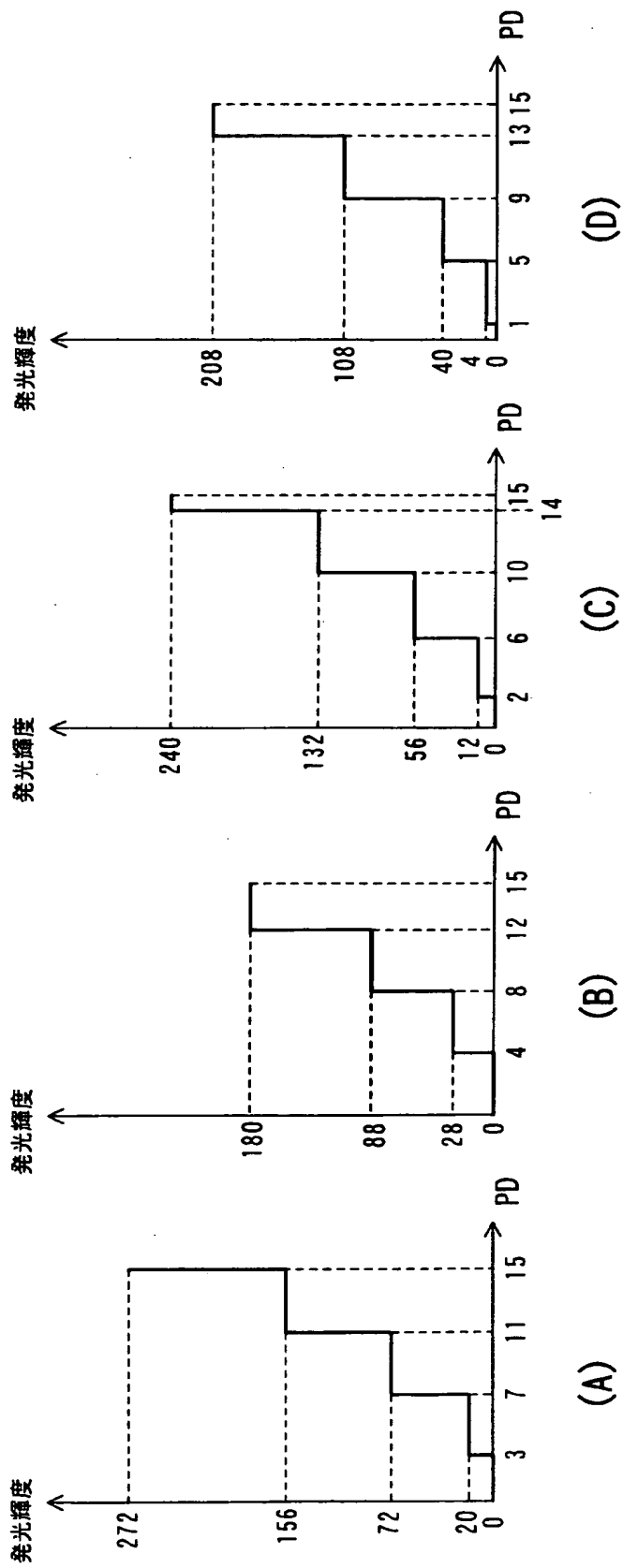


【図 9】

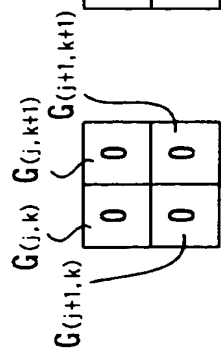
	1	2	3	4 (列)
1	A	B	A	B	
2	C	D	C	D	
3	A	B	A	B	
4	C	D	C	D	
⋮					
⋮					
⋮					

(行)

【図 1 0】



【図 1 1】



画素データPD \Rightarrow 0

放電セルブロック輝度 \Rightarrow 0

0	0
0	4

0	0
12	4

20	0
12	4

20	28
12	4

20	28
12	40

1

2

3

4

5

1

4

9

16

25

20	28
56	40

72	28
56	40

72	88
56	40

72	88
56	108

72	88
132	108

156	88
132	108

画素データPD \Rightarrow 6

放電セルブロック輝度 \Rightarrow 36

7

8

9

10

11

49

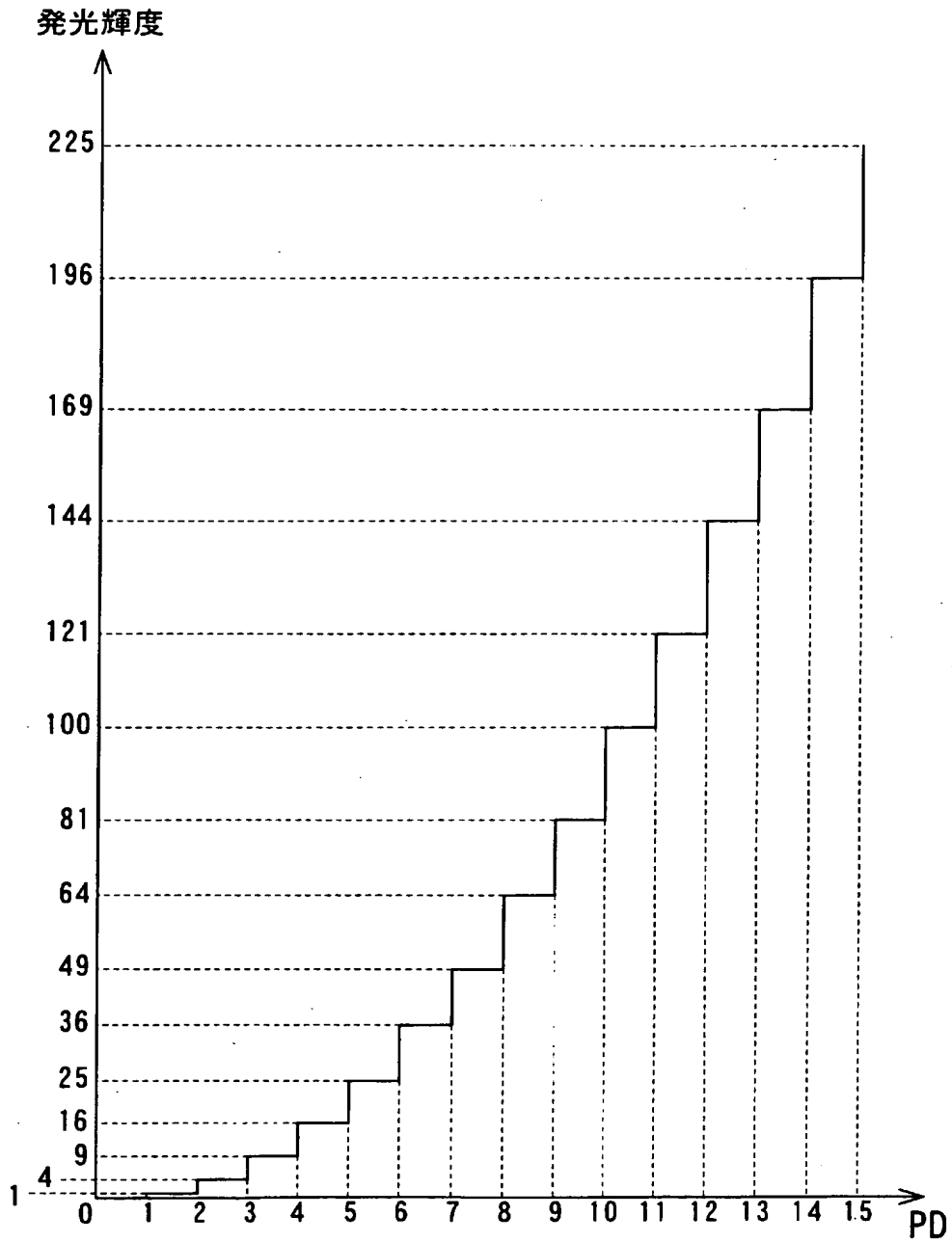
64

81

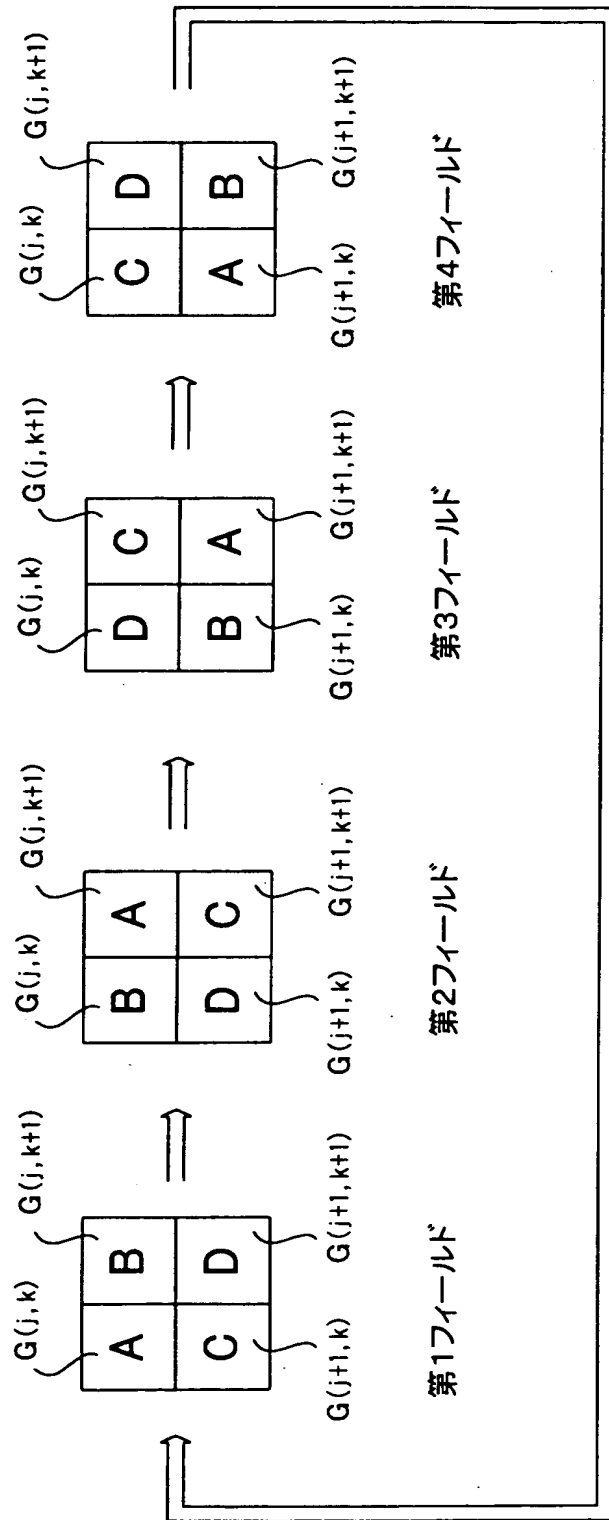
100

121

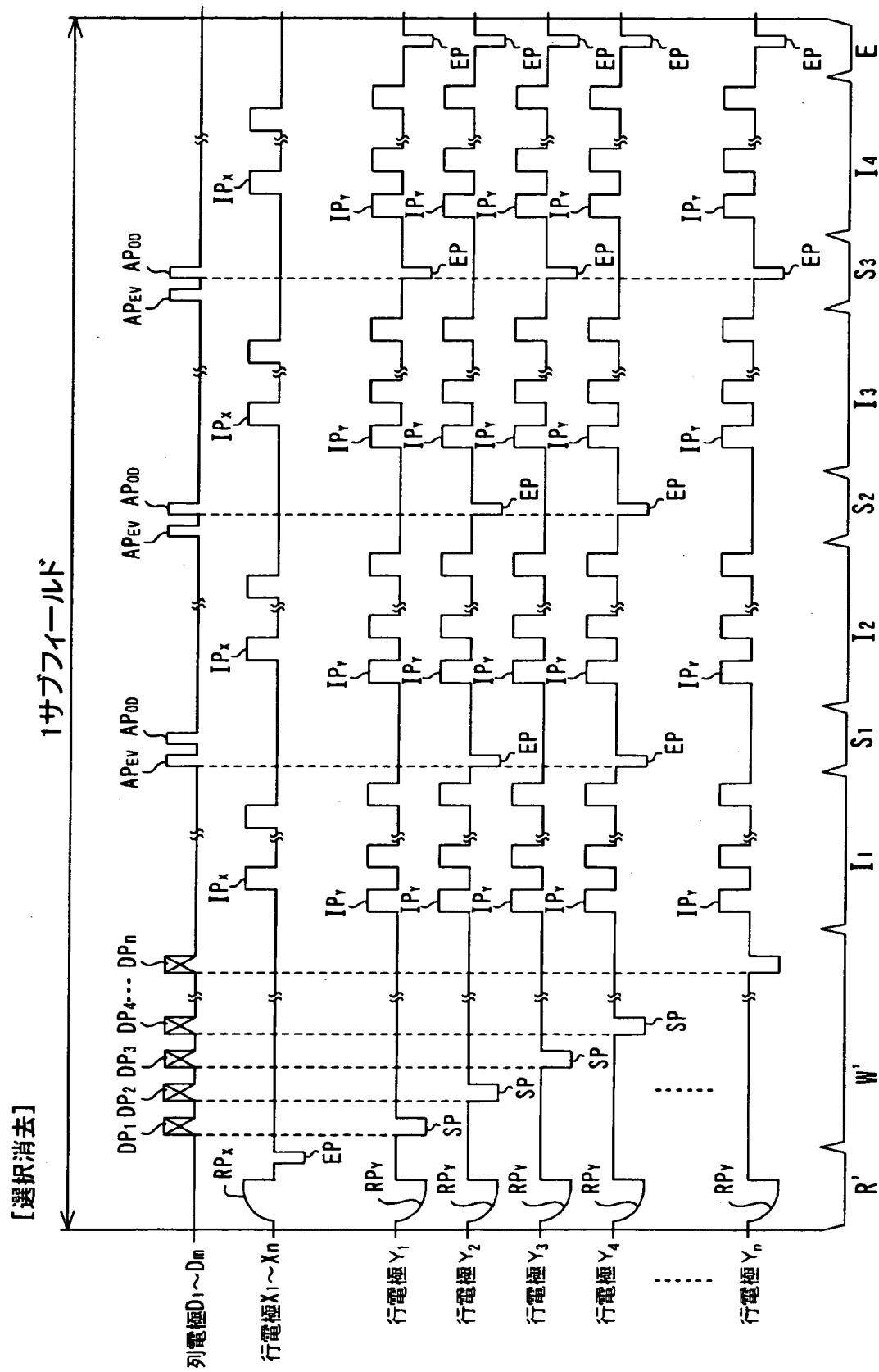
【図 1 2】



【図 1 3】



【図 1 4】



【図 1 5】

〔選択書込〕

階調	第2データ変換回路34の 変換テーブル				発光駆動 パターン				輝 度				
	PDL	GD				SF 1	SF 2	SF 3	SF 4	A	B	C	D
		1	2	3	4								
1	000	0	0	0	0					0	0	0	0
2	001	1	0	0	0	◎				20	28	12	4
3	010	1	1	0	0	◎	◎			72	88	56	40
4	011	1	1	1	0	◎	◎	◎		156	180	132	108
5	100	1	1	1	1	◎	◎	◎	◎	272	／	240	208

【書類名】 要約書

【要約】

【課題】 表示品質を低下させることなくディザ処理を行うことができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 入力映像信号に応じて発光セルの状態に設定された放電セルのみを、サブフィールドの重み付けに応じて割り当てた発光回数だけ発光させるにあたり、放電セルブロック内の各放電セル毎に、この割り当てるべき発光回数を異ならしめる。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社